

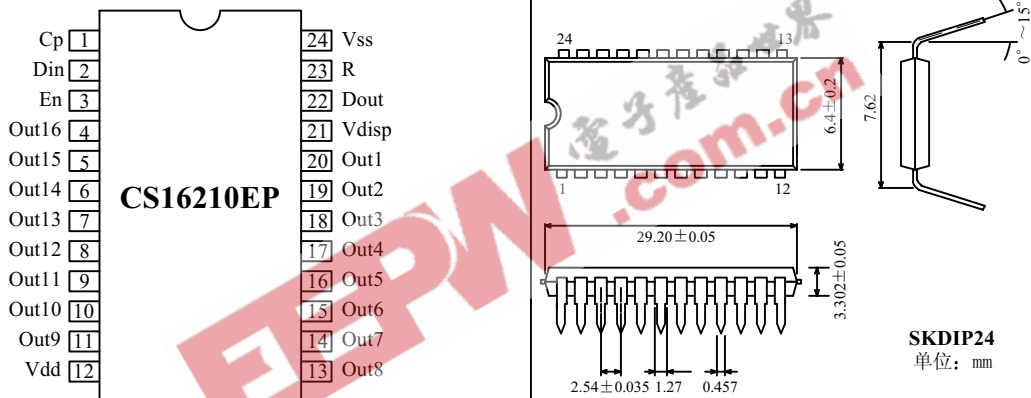
### 概述

CS16210EP 是一种负电源型 VFD 显示驱动电路，可用作 VFD 显示系统中 CPU 与 VFD 之间的接口电路，采用 16 位并行输出，使用灵活，通用性强。

### 功能特点

- 三电源供电， $V_{DD}=5V$ 、 $V_{SS}=0V$ 。
- $V_{disp}=-30V$ 。
- 串行输入。
- 16 位的并行输出。
- 并行输出端采用高压结构，可直接驱动 VFD。
- 串行输出端，以便扩展使用，增强其通用性。
- 采用外接时钟、清零端、输出控制，以便使用中与 CPU 相匹配。
- 采用 SKDIP24 封装。

### 管脚排列图



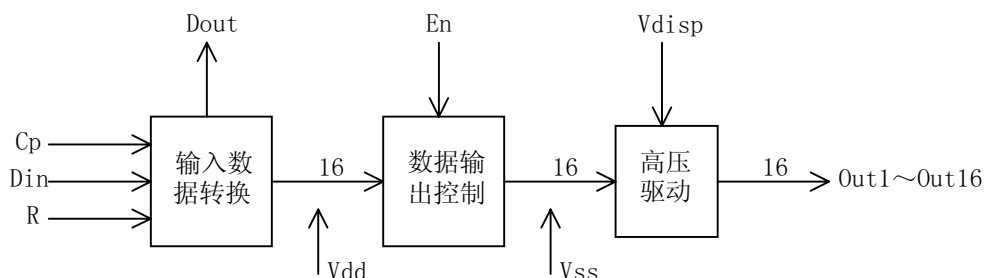
### 管脚说明

符号	引脚名	I/O	引脚号	描述
Cp	输入时钟	I	1	下降沿时输入串行数据，上升沿时输出串行数据
Din	串行数据输入端	I	2	时钟下降沿时输入串行数据
En	数据输出控制端	I	3	低电平有效，允许并行数据输出。低电平宽度不超过一个时钟周期，其下降沿要在时钟上升沿之后，上升沿要在时钟下降沿之前。使用中通过控制 En 有效信号输入时间及扩展使用来实现多种并行输出
Out16~Out1	并行数据输出	O	4~11 13~20	在 En 为低电平时，并行数据输出
Vdd	逻辑电源		12	5V
Vdisp	VFD 驱动高压	I	21	电压值可达-30V
Dout	串行数据输出	O	22	时钟上升沿时输出串行数据
R	清零信号	I	23	低电平有效
Vss	逻辑地		24	与系统地相连

# CS16210EP

## 功能框图

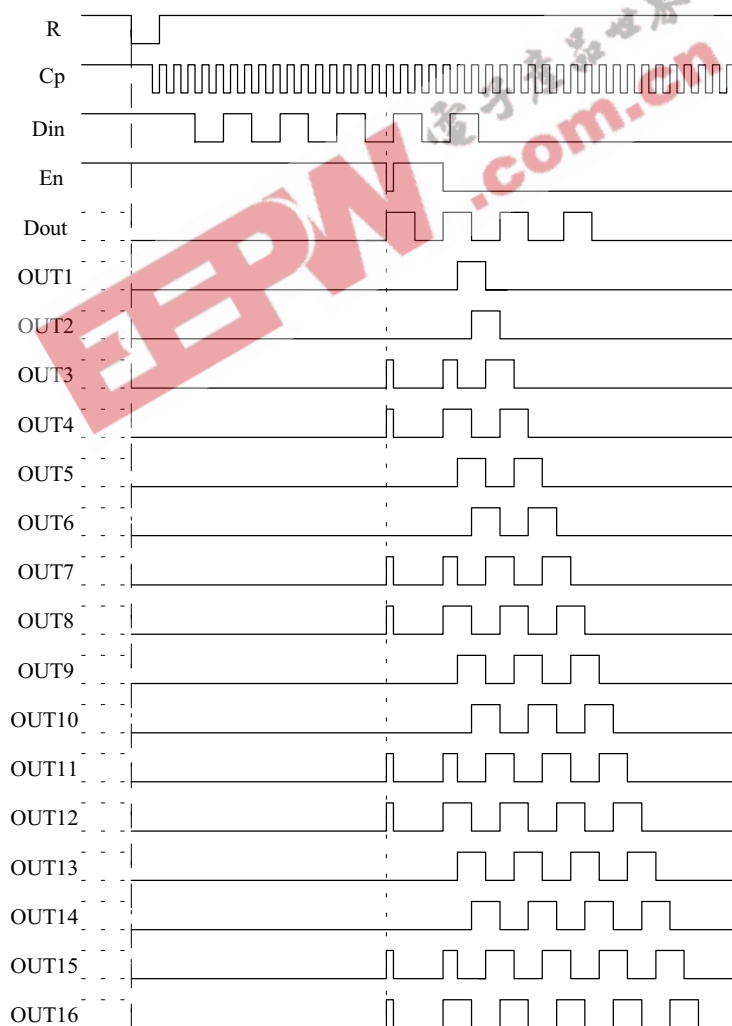
该电路与 16312 属于同系列产品，电路由三部分组成，即：输入数据转换部分、数据输出控制部分、高压驱动部分。



## 功能说明

输入数据转换部分由 16 个带复位端的基本触发器组成，主要完成串行输入/并行输出转换功能，外接的复位端可以保证使用中与 CPU 同步清零。数据输出控制部分为带使能端的控制器。根据不同的 VFD 屏，通过调节 EN 与 CP 的关系来控制数据的输出时间，即可以实现任意位的并行输出（即电路可以扩展）。使用中要严格控制 EN 与 CP 的关系。

## 时序图



# CS16210EP

## 极限参数

### 1. 工作条件 ( $T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$ , $V_{SS} = 0\text{V}$ )

名称	符号	最小值	典型值	最大值	单位
工作电压	$V_{DD}$	4.5	5	5.5	V
高电平输入电压	$V_{IH}$	$0.7V_{DD}$	—	$V_{DD}$	
低电平输入电压	$V_{IL}$	0	—	$0.3V_{DD}$	
驱动工作电压	$V_E$	0	—	$V_{DD} - 35$	

### 2. 极限工作范围 ( $T_a = 25^{\circ}\text{C}$ , $V_{SS} = 0\text{V}$ )

名称	符号	范围	单位
电源电压	$V_{DD}$	$-0.5 \sim 7.0$	V
驱动工作电压	$V_E$	$V_{DD} + 0.5 \sim V_{DD} - 40$	V
逻辑输入电压	$V_{I1}$	$-0.5 \sim V_{DD} + 0.5$	V
FIP 驱动输出电压	$V_{O2}$	$V_{EE} - 0.5 \sim V_{DD} + 0.5$	V
FIP 驱动输出电流	$I_{O2}$	-8	mA
消耗功率	PD	1200	mW
工作温度	TOPT	$-20 \sim +70$	$^{\circ}\text{C}$
贮存温度	TST	$-65 \sim +150$	$^{\circ}\text{C}$

### 3. 电特性 ( $T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$ , $V_{DD} = 4.5\text{V} \sim 5.5\text{V}$ , $V_{SS} = 0\text{V}$ , $V_E = V_{DD} - 35\text{V}$ )

名称	符号	最小值	典型值	最大值	单位	测试条件
高电平输出电压	$V_{OH1}$	$0.9V_{DD}$			V	
低电平输出电压	$V_{OL1}$			1	V	
低电平输出电压	$V_{OL2}$			0.4	V	
高电平输出电流	$I_{OH21}$	-3			mA	$V_O = V_{DD} - 2\text{V}$
驱动漏电流	$I_{OLEAK}$			-10	$\mu\text{A}$	$V_O = V_{DD} - 35\text{V}$ , 驱动器关闭
输出下拉电阻	$R_L$	50	100	150	k $\Omega$	驱动器输出
输入电流	$I_I$			$\pm 1$	$\mu\text{A}$	$V_I = V_{DD}$ 或 $V_{SS}$
高电平输入电压	$V_{IH}$	$0.7V_{DD}$			V	
低电平输入电压	$V_{IL}$			$0.3 V_{DD}$	V	
滞电电压	$V_H$		0.35		V	$C_p$ , DIN
静态电流消耗	$I_{DDdyn}$			5	mA	无负载时, 无显示

### 4. 开关特性 ( $T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$ , $V_{DD} = 4.5\text{V} \sim 5.5\text{V}$ , $V_{EE} = -30\text{V}$ )

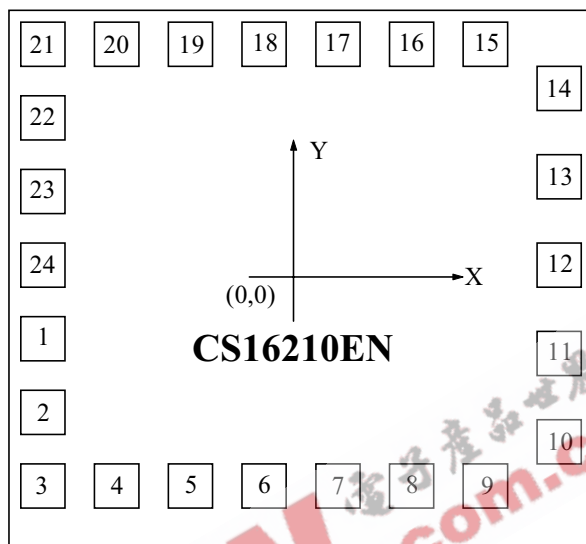
名称	符号	最小值	典型值	最大值	单位	测试条件
保持延迟	$T_{PLZ}$			300	ns	$C_p \rightarrow \text{Dout}$ $C_L = 15\text{pF}$ , $R_L = 10\text{k}\Omega$
	$T_{PZL}$			100	ns	
下降时间	$T_{THZ}$			120	$\mu\text{s}$	$C_L = 300\text{pF}$
最大时钟频率	Fmax	1			MHz	占空比=50%
输入电容	$C_L$			15	pF	

## CS16210EP

5. 时序条件( $T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$ ,  $V_{DD} = 4.5\text{V} - 5.5\text{V}$ )

参数	符号	最小值	典型值	最大值	单位	测试条件
时钟脉冲宽度	$PW_{Cp}$	400			ns	
数据设置时间	$t_{SETUP}$	100			ns	
数据保持时间	$t_{HOLD}$	100			ns	
等待时间	$t_{WAIT}$	1			$\mu\text{s}$	$Cp \uparrow \rightarrow Cp \uparrow$

### 压焊点图



芯片衬底接  $V_{DD}$ , 载片岛面积为  $3.235 \times 2.480\text{mm}^2$

### 压焊点坐标

(单位:  $\mu\text{m}$ )

序号	名称	X 坐标	Y 坐标	序号	名称	X 坐标	Y 坐标
1	Cp	-827	-150	13	Out8	833	164
2	Din	-827	-300	14	Out7	833	387
3	En	-827	-450	15	Out6	380	455
4	Out16	-587	-455	16	Out5	157	455
5	Out15	-364	-455	17	Out4	8	455
6	Out14	-215	-455	18	Out3	-215	455
7	Out13	8	-455	19	Out2	-364	455
8	Out12	157	-455	20	Out1	-587	455
9	Out11	380	-455	21	Vdisp	-827	450
10	Out10	833	-387	22	Dout	-827	300
11	Out9	833	-164	23	R	-827	150
12	$V_{DD}$	833	0	24	$V_{SS}$	-827	0

# Semic

无锡华晶矽科微电子有限公司

江苏省无锡市梁溪路 14 号华晶宾馆二楼

电话: +86 (510) 5807123-3321

传真: +86 (510) 5807123-3560

## 市场营销部

电话: +86 (510) 5887467

传真: +86 (510) 5874503

## 深圳办事处

电话: +86 (755) 3230155

传真: +86 (755) 3230155

## 广州办事处

电话: +86 (20) 86391906

传真: +86 (20) 86391906

## 注意

本资料中的信息如有变化, 恕不另行通知。

本资料提供的应用线路仅供参考, 矽科不承担任何由此而引起的损失。

希望您经常和矽科有关部门进行联系, 索取最新资料, 因为矽科产品在不断更新和提高。

在使用矽科产品之前应仔细阅读本说明书, 严格遵照技术指标和技术参数进行设计和生产, 确保矽科产品应用于最新产品规范规定的工作范围内, 同时请谨记产品资料中提出的注意事项和工作环境。

矽科不承担任何在使用过程中引起的侵犯第三方专利或其它权力的责任。

矽科并未默许或以其它方式授予任何专利或权利。