



DC CHARACTERISTICS

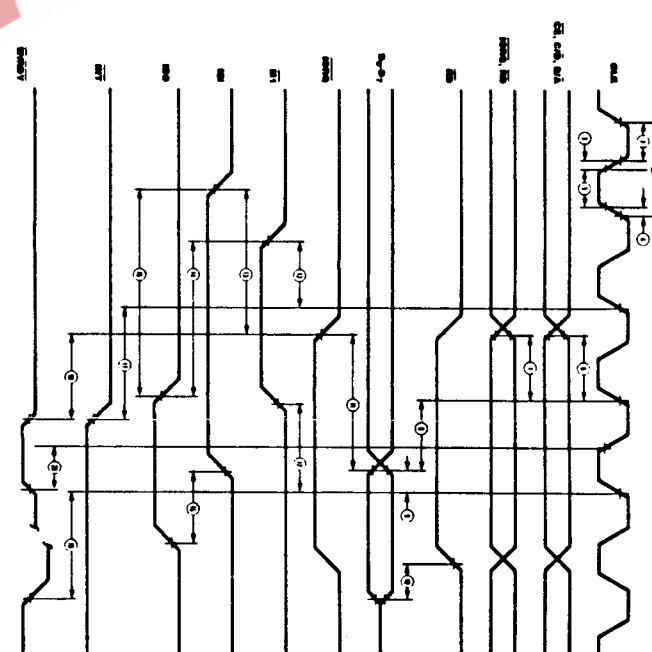
Symbol	Parameter	Min	Max	Unit	Test Condition
V <sub>CC</sub>	Check High Voltage	-0.2 <sup>a</sup>	+0.4 <sup>b</sup>	V	
V <sub>CC</sub>	Check Low Voltage	V <sub>CC</sub> -0.2 <sup>a</sup>	+0.5 <sup>b</sup>	V	
V <sub>OL</sub>	Output Low Voltage	+0.05	+0.85	V	I <sub>OL</sub> = 20mA
V <sub>OH</sub>	Output High Voltage	+2.0	+5.5	V	I <sub>OH</sub> = -20mA
V <sub>IL</sub>	Input Low Voltage	+0.4 <sup>c</sup>	+0.4 <sup>c</sup>	V	0.4 < V <sub>IL</sub> < 2.0V
V <sub>IH</sub>	Input High Voltage	+1.0	+1.0	V	0.4 < V <sub>IH</sub> < 2.0V
I <sub>OL</sub>	Output Short-Circuit Current	-40 <sup>a</sup>	+10 <sup>a</sup>	mA	0.4 < V <sub>OL</sub> < 2.0V
I <sub>OH</sub>	Output Short-Circuit Current	-10 <sup>a</sup>	+10 <sup>a</sup>	mA	0.4 < V <sub>OH</sub> < 2.0V
I <sub>CC1</sub>	Power Supply Current		100 <sup>a</sup>	mA	

<sup>a</sup> V<sub>CC</sub> = 2.0V, V<sub>OL</sub> = 0.4V, I<sub>OL</sub> = 20mA  
<sup>b</sup> Tested  
<sup>c</sup> Guaranteed by Design

AC CHARACTERISTICS

Number	Symbol	Parameter	Z80-4 DART Z80-6 DART			
			Min	Max	Min	Max
1	T <sub>0C</sub>	Clock Cycle Time	250 <sup>a</sup>	4000 <sup>a</sup>	165 <sup>a</sup>	4000 <sup>a</sup>
2	T <sub>0CH</sub>	Clock Width (High)	10 <sup>a</sup>	2000 <sup>a</sup>	70 <sup>a</sup>	2000 <sup>a</sup>
3	T <sub>0CL</sub>	Clock Fall Time	30 <sup>a</sup>	30 <sup>a</sup>	15 <sup>a</sup>	15 <sup>a</sup>
4	T <sub>0C</sub>	Clock Rise Time	30 <sup>a</sup>	30 <sup>a</sup>	30 <sup>a</sup>	15 <sup>a</sup>
5	T <sub>0CJ</sub>	Clock Width (Low)	10 <sup>a</sup>	2000 <sup>a</sup>	70 <sup>a</sup>	2000 <sup>a</sup>
6	T <sub>0A0D</sub>	CE, O/E, S/A to Clock Setup Time	14 <sup>a</sup>	60 <sup>a</sup>	60 <sup>a</sup>	60 <sup>a</sup>
7	T <sub>0A0Q</sub>	OE, RD, WR to Clock Setup Time	11 <sup>a</sup>	60 <sup>a</sup>	60 <sup>a</sup>	60 <sup>a</sup>
8	T <sub>0A0DQ</sub>	Check 1 to Data Out Delay	220 <sup>a</sup>	220 <sup>a</sup>	60 <sup>a</sup>	150 <sup>a</sup>
9	T <sub>0A0DQ</sub>	Data In to Check 1 Setup (Write or M1 Cycle)	50 <sup>a</sup>	50 <sup>a</sup>	30 <sup>a</sup>	30 <sup>a</sup>
10	T <sub>0A0DQD</sub>	RD to Data Out Rise Delay	110 <sup>a</sup>	110 <sup>a</sup>	90 <sup>a</sup>	90 <sup>a</sup>
11	T <sub>0A0DQD</sub>	RD to Data Out Delay (AT/ACK Cycle)	160 <sup>a</sup>	160 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
12	T <sub>0A0DQ</sub>	RT to Check 1 Setup Time	80 <sup>a</sup>	80 <sup>a</sup>	75 <sup>a</sup>	75 <sup>a</sup>
13	T <sub>0A0DQ</sub>	RT to RDQ1 Setup Time (AT/ACK Cycle)	140 <sup>a</sup>	140 <sup>a</sup>	120 <sup>a</sup>	120 <sup>a</sup>
14	T <sub>0A0DQ</sub>	RT to RDQ1 Delay (first burst after M1)	180 <sup>a</sup>	180 <sup>a</sup>	160 <sup>a</sup>	160 <sup>a</sup>
15	T <sub>0A0DQ</sub>	RT to RDQ1 Delay (after ED decode)	100 <sup>a</sup>	100 <sup>a</sup>	70 <sup>a</sup>	70 <sup>a</sup>
16	T <sub>0A0DQ</sub>	RT to RDQ1 Delay	100 <sup>a</sup>	100 <sup>a</sup>	70 <sup>a</sup>	70 <sup>a</sup>
17	T <sub>0A0DQ</sub>	Check 1 to M1 Delay	200 <sup>a</sup>	200 <sup>a</sup>	150 <sup>a</sup>	150 <sup>a</sup>
18	T <sub>0A0DQ</sub>	RDQ1 or CE to WR/DV Delay (Wait Mode)	210 <sup>a</sup>	210 <sup>a</sup>	175 <sup>a</sup>	175 <sup>a</sup>
19	T <sub>0A0DQ</sub>	Check 1 to WR/DV Delay (Ready Mode)	120 <sup>a</sup>	120 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
20	T <sub>0A0DQ</sub>	Check 1 to WR/DV Rise Delay (Wait Mode)	130 <sup>a</sup>	130 <sup>a</sup>	110 <sup>a</sup>	110 <sup>a</sup>

<sup>a</sup> Unless in parentheses (in)  
<sup>b</sup> Tested  
<sup>c</sup> Guaranteed by Design



AC CHARACTERISTICS (Continued)

Number	Symbol	Parameter	Z80-4 DART Z80-6 DART			
			Min	Max	Min	Max
1	T <sub>0HCH</sub>	Pulse Width (High)	200 <sup>a</sup>	200 <sup>a</sup>	200 <sup>a</sup>	200 <sup>a</sup>
2	T <sub>0HCL</sub>	Pulse Width (Low)	200 <sup>a</sup>	200 <sup>a</sup>	200 <sup>a</sup>	200 <sup>a</sup>
3	T <sub>0HC</sub>	CE Cycle Time	400 <sup>a</sup>	400 <sup>a</sup>	300 <sup>a</sup>	300 <sup>a</sup>
4	T <sub>0HCL</sub>	CE Width (Low)	180 <sup>a</sup>	180 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
5	T <sub>0HCH</sub>	CE Width (High)	180 <sup>a</sup>	180 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
6	T <sub>0A0DQ</sub>	RD to RDQ1 Delay	300 <sup>a</sup>	300 <sup>a</sup>	220 <sup>a</sup>	220 <sup>a</sup>
7	T <sub>0A0DQ</sub>	RD to WR/DV Delay (Ready Mode)	5 <sup>a</sup>	9 <sup>a</sup>	5 <sup>a</sup>	9 <sup>a</sup>
8	T <sub>0A0DQ</sub>	RD to RT Delay	5 <sup>a</sup>	9 <sup>a</sup>	5 <sup>a</sup>	9 <sup>a</sup>
9	T <sub>0A0DQ</sub>	RD Cycle Time	400 <sup>a</sup>	400 <sup>a</sup>	300 <sup>a</sup>	300 <sup>a</sup>
10	T <sub>0A0DQ</sub>	RD Width (Low)	180 <sup>a</sup>	180 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
11	T <sub>0A0DQ</sub>	RD Width (High)	180 <sup>a</sup>	180 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
12	T <sub>0A0DQ</sub>	RD to RDQ1 Setup Time (1st Mode)	0 <sup>a</sup>	0 <sup>a</sup>	0 <sup>a</sup>	0 <sup>a</sup>
13	T <sub>0A0DQ</sub>	RD Hold Time (1st Mode)	140 <sup>a</sup>	140 <sup>a</sup>	100 <sup>a</sup>	100 <sup>a</sup>
14	T <sub>0A0DQ</sub>	RD to WR/DV Delay (Ready Mode)	10 <sup>a</sup>	13 <sup>a</sup>	10 <sup>a</sup>	13 <sup>a</sup>
15	T <sub>0A0DQ</sub>	RD to M1 Delay	10 <sup>a</sup>	13 <sup>a</sup>	10 <sup>a</sup>	13 <sup>a</sup>

<sup>a</sup> In all modes, the System Clock rate must be at least the maximum data rate. "RESET" must be active a minimum of one complete clock cycle.  
<sup>1</sup> Unless in parentheses (in)  
<sup>2</sup> Unless in parentheses (in)  
<sup>b</sup> Tested  
<sup>c</sup> Guaranteed by Design